



AC781x 硬件设计指南

文档版本: 0.8
发布日期: 2021-11-17

© 2013 - 2021 杰发科技

本文档包含杰发科技的专有信息。未经授权，严禁复制或披露本文档包含的任何信息。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。

修订记录

版本	日期	作者	修订说明
0.1	2019-07-16	Autochips	文档初版
0.2	2020-04-17	Autochips	修正复位、NMI 引脚电路设计描述
0.3	2020-10-28	Autochips	增加 Reset 电路描述
0.4	2021-02-25	Autochips	增加 GPIO 输入电路设计及 PWM 双边沿捕获设计注意事项
0.5	2021-03-29	Autochips	增加PA7端口使用注意事项
0.6	2021-06-21	Autochips	更新Reset电路部分描述，增加ACMP_IN0使用注意事项
0.7	2021-08-09	Autochips	增加ADC输入阻抗、LIN、GPIO中断设计注意事项
0.8	2021-11-17	Autochips	补充 GPIO输入电路设计注意事项

文档目录

修订记录	2
文档目录	3
插图目录	5
表格目录	6
1 概述	7
2 AC781x 电源引脚和电路设计	8
3 外部时钟振荡器电路设计	9
4 复位电路、NMI 及 BOOT 引脚设计	10
4.1 NRST 脚复位电路设计	10
4.2 NMI 引脚电路设计	10
4.3 BOOT 引脚电路设计	10
4.4 复位电路、NMI 及 BOOT 引脚参考电路	11
5 ADC 模拟输入电路设计	12
6 ADC 采样时间与外部输入阻抗	13
7 ACMP 模拟比较器电路设计	14
8 GPIO 输入电路设计注意事项	15
8.1 GPIO 输入电路设计	15
8.2 GPIO 输入电路设计参考电路	15
9 PWM 双边沿捕获接口设计注意事项	16
10 调试接口电路设计	17
11 其他	18
11.1 UARTTX_SFLASH 引脚	18
11.2 GPIO 外部中断引脚	18
11.3 未用到的 I/O pin 脚处理	19
11.4 LIN 接口注意事项	19
12 PCB 设计建议	20
12.1 电源部分 PCB 设计建议	20

12.2 晶振电路 PCB 设计建议..... 21

AutoChips Confidential Only Release Customer

插图目录

图 2-1 电源电路设计参考电路.....	8
图 3-2 晶振参考电路	9
图 4-3 复位电路、NMI 及 BOOT 引脚参考电路	11
图 7-4 ACMP 电路设计示意图	14
图 8-5 GPIO 输入电路设计参考电路.....	15
图 10-6 SWD 口参考电路	17
图 10-7 SWD 信号描述	17
图 12-8 旁路电容 PCB 参考设计.....	20
图 12-9 外部晶振 PCB 参考设计.....	21

表格目录

表 2-1 AC781x 电源引脚名称、分布及功能描述	8
表 3-2 外部晶振参数及负载电容	9
表 4-3 BOOT 模式配置	10
表 6-4 R_{AIN} 计算公式符号定义	13
表 6-5 T_s 对应 ADC $R_{AIN MAX}$ for $f_{ADC}=10MHz$	13
表 11-6 GPIO 外部中断引脚分配	18

AutoChips Confidential Only Release Customer

1 概述

在进行嵌入式系统设计时，硬件电路设计的好坏不仅关系到整个系统的功能实现和可靠性，还会对系统软件的复杂程度产生影响。本章节以 AC781x 芯片为对象，介绍采用 AC781x MCU 进行最小系统硬件设计时，需要了解的一些硬件设计注意事项和设计原则。

AutoChips Confidential Only Release Customer

2 AC781x 电源引脚和电路设计

AC781x 支持 2.7~5.5V 宽电压输入，为了提供稳定的电源，芯片使用多组电源引脚分别为数字电路、IO 引脚驱动、AD 转换电路等供电，并且提供多处电源引出脚，便于用户外接滤波电容，改善系统的电磁兼容性。

表 2-1 AC781x 电源引脚名称、分布及功能描述

引脚名称		功能描述	典型值	引脚号 (LQFP64)	引脚号 (LQFP80)
电源输入	DVDDx/DVSSx	数字电源输入正/负	3.3V 或 5V/0V	35/34, 59/58	43/42, 72/71
	AVDD1/AVSS1	AD 模块的电源输入正/负	3.3V 或 5V/0V	10/9	13/12
	AVDD2/AVSS2	AD 模块的 IO 口电源输入正/负	3.3V 或 5V/0V	11/12	14/15

MCU 主电源供电引脚设计：在电路设计时需要在每对引脚外部分别放置至少一个去耦电容（0.1uF 的陶瓷电容）。并且旁路电容的放置必须尽量靠近 MCU 电源引脚，从而最大限度地缩小 xVDD 和 xVSS 引脚之间的电容所形成的环路。

模拟外设电源引脚: AVDD1/AVSS1, AVDD2/AVSS2 是芯片内部 ADC、DAC 以及 CMP 等模拟外设的电源输入引脚，为使芯片的模拟外设稳定的电源，从而得到更好的转换精度，通常需要在靠近 AVDD 引脚的地方并联两个外部稳压电容（100nF 陶瓷电容+10uF 陶瓷电容）。

另外，为限制电源中的高频噪声，在设计时，可以将 AVDD 通过电感、磁珠等阻塞元件与数字电源 DVDD 进行隔离。电路设计可以参考下图。

注：MCU AVDDx 不能单独做掉电处理，与 DVDD 供电压差应小于 $\pm 0.3V$ 。MCU VPP 脚（44pin-LQFP80, 36pin-LQFP64）非电源 PIN 脚，为工厂测试用，在应用中悬空即可。

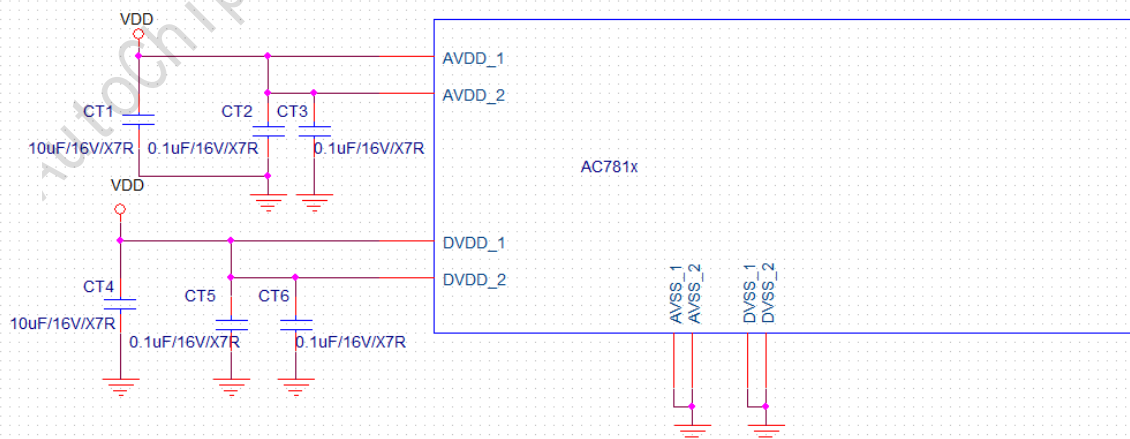


图 2-1 电源电路设计参考电路

3 外部时钟振荡器电路设计

OSC_IN 及 OSC_OUT 脚用于连接外部晶体，当需要使用外部时钟信号或采用有源晶振时请将时钟信号输入到 OSC_IN 脚，OSC_OUT 脚悬空即可。

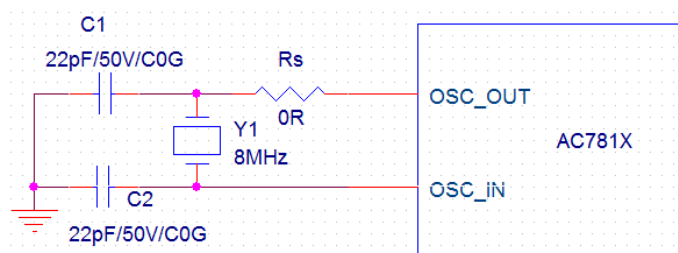


图 3-2 晶振参考电路

表 3-2 外部晶振参数及负载电容

符号	描述	最小值	典型值	最大值
Y1	振荡器频率范围	4MHz	-	30MHz
Rs	串联电阻，可用于激励功率的调整	-	0R	-
C1,C2	晶振负载电容	参见注释		

注释: 对于 C1 和 C2，推荐使用为高频率应用设计、满足晶振需求的高质量外部陶瓷电容。C1 和 C2 通常大小相同。在确定 C1 和 C2 的大小时，需要考虑可能存在的寄生电容。通常有： $CL=C_s+[C1 \times C2 / (C1+C2)]$ ， C_s 为 PCB 和 MCU 引脚寄生电容（5 pF 可做为寄生电容的粗略估计）， CL 为晶体规格书要求的晶体负载电容，可由晶体厂家规格书查得。通常有： $C1=C2=2x (CL-C_s)$ 。为了更好的评估晶体选用是否 OK，建议将 PCB 板给到晶体厂家进行频偏、激励功率、负阻等参数测试。

4 复位电路、NMI 及 BOOT 引脚设计

4.1 NRST 脚复位电路设计

NRST 引脚为 MCU 专用引脚，用于复位和重启 MCU 所有的模块。由于该引脚为低电平有效，建议在硬件原理图设计中添加外部上拉电阻以防止噪声。同时在 PCB 设计中，复位电路应尽量靠近 MCU 复位引脚放置以减小 PCB 走线长度。

NRST 引脚由于内部上拉电阻的存在而呈现高电平，NRST 引脚为输入引脚。在可靠性要求较高或者电磁干扰较大场合，要求对 NRST 引脚增加电源检测 Reset IC（带 Watchdog）或单独增加一个外部硬件看门狗（默认上电使能看门狗），以保证在电源异常或 MCU 软狗失效时可以通过 NRST 脚对 MCU 进行可靠复位（该 Reset 电路也应尽量靠近 MCU 复位脚放置）。

4.2 NMI 引脚电路设计

NMI_B 引脚是芯片的不可屏蔽中断引脚（低电平有效），该引脚可用于 NMI 中断唤醒。该引脚内部具有较大的弱上拉电阻，但如果使用 NMI 功能时，建议增加外部 4.7 kΩ 至 10 kΩ 的上拉电阻。

通过 NMI 电平触发 NMI 中断默认是关闭的，要想进入 NMI 中断，还需要软件使能 NMI 中断控制位。

4.3 BOOT 引脚电路设计

BOOT（PE3）引脚通常用于配合 PD0、PB7 引脚实现 MCU 在不同的 BOOT 模式下运行，通常在系统应用设计过程将 BOOT 脚用 4.7K 或 10K 电阻下拉到地即可。

表 4-3 BOOT 模式配置

Trap PINs 配置模式 (H:1, L:0)

Mode	PIN Name	BOOT (PE3)	PD0	PB7
default	eflash boot	0	x	x
other boot mode	ISP boot	1	0	0
	sram boot	1	1	0
	serial flash boot	1	0	1

注意：x 表示忽略，不用关注。

Boot 模式说明

eflash boot: 程序在 eFlash 中运行

ISP boot: 使用 ISP Tool 进行工厂产线烧录（通过 UART 接口）

sram boot: 程序在 sram 中运行，可方便调试软件

serial flash boot: 程序在外部 serial flash 中运行

4.4 复位电路、NMI 及 BOOT 引脚参考电路

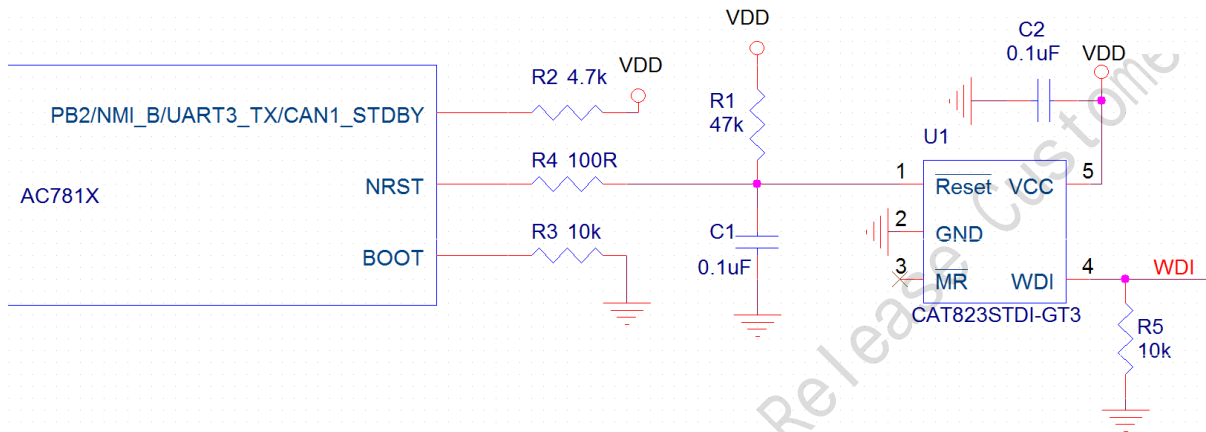


图 4-3 复位电路、NMI 及 BOOT 引脚参考电路

5 ADC 模拟输入电路设计

AC781X MCU 系列提供 12 位的 SAR ADC，支持 1 个 ADC 模块以及 16 个通道。

MCU ADC 通道的电压检测范围为 $0V \sim AVDD$ 。当外部输入模拟电压大于 MCU $AVDD$ 电压时（如车用模块电源电压范围通常有 $9V \sim 16V$ 或 $18V \sim 32V$ ），需要增加前端电阻分压电路或稳压电路等以保证在全电压范围内给到 MCU ADC 通道的电压不大于 $AVDD$ 电源电压，同时建议在 MCU ADC 通道前端增加 RC 低通滤波器可以更好的滤除干扰。

对模拟输入而言，前端滤波电路的设计非常重要。除了考虑模拟信号的截止频率，还需要考虑源阻抗和采样时间，尤其是对于高分辨率模数转换。常规思想是：快速采样时间与慢速采样时间相比，要求更小的电容值和输入阻抗。

- AD 通道的布线要尽量短
- 尽量将数字部分和模拟部分的电源分开，并分区覆铜，保证模拟地和数字地只在一个点结合，而且这个点要求远离干扰，有时会选用一个磁珠连接
- 走线周围避免放置高噪声元器件，在模拟通道外围使用模拟地进行隔离
- 要想得到特别准确的采样结果，一般推荐在输入端加一些 Buffer/跟随运放

6 ADC 采样时间与外部输入阻抗

由于外部信号源阻抗或串接与 MCU pin 脚之间的电阻 (R_{AIN}) 会产生压降, 导致采样保持电容需要更长的充电时间, 所以通常更大的外部输入阻抗 (R_{AIN}) 要求更长的采样时间 (T_s)。

在 ADC 精度为 1/4LSB 误差下, 不同采样时间 (T_s) 允许的最大外部输入阻抗 (R_{AIN}) 可由公式:
 $R_{AIN} < T_s / (f_{ADC} * C_{ADC} * \ln(2^{N+2})) - R_{ADC}$ 计算得到。

表 6-4 R_{AIN} 计算公式符号定义

Symbol	Parameter	Value	Unit
R_{AIN}	外部输入阻抗		
R_{ADC}	采样开关阻抗	2.60	K Ω
C_{ADC}	内部采样保持电容	2.30	pF
f_{ADC}	ADC 时钟频率	10.00	MHz
N	ADC 分辨率	12.00	Bit
T_s	采样时间		cycles

表 6-5 T_s 对应 ADC R_{AIN} MAX for $f_{ADC}=10MHz$

T_s (cycles)	MAX (R_{AIN}) K Ω
3	10.841
6	24.283
14	60.126
29	127.332
42	185.578
56	248.303
72	319.990
215	960.690

如果允许 ADC 精度误差大于 1/4LSB, R_{AIN} 可以适当增加。

7 ACMP 模拟比较器电路设计

AC781x MCU 系列提供 5CHS 可选的 ACMP 的外部输入通道(对应 ADC_IN0~ADC_IN4) (注: 如果使能了 MCU ADC 模块功能, 由于芯片内部电路设计要求, 请不要使用 PA7 的 ACMP_IN0 的输入功能), 由于 MCU 引脚之间可能存在感性/容性耦合及相邻 PCB 走线之间可能存在串扰。高速接口或任何 GPIO 的切换可能会给 ACMP 输入带来噪声干扰。为了避免和减轻高频噪声和任何耦合, 在硬件电路设计时建议 ACMP 模拟比较器输入信号阻抗为 50K 或更低 (如下图)。

- ACMP 通道的布线要尽量短
- 走线周围避免放置高噪声元器件, 在模拟通道走线外围使用模拟地进行隔离

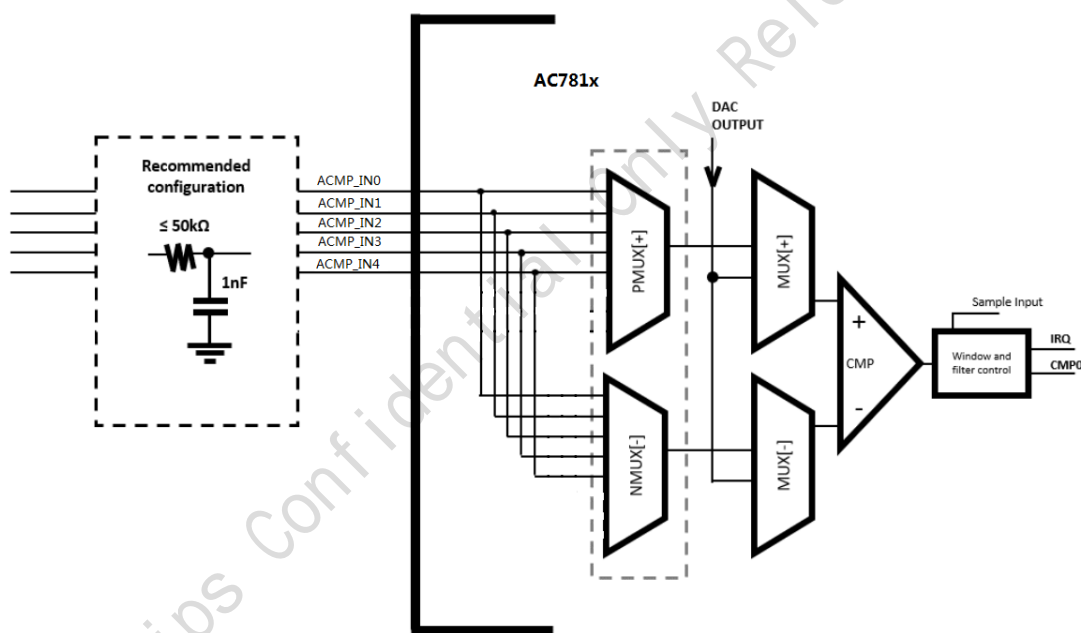


图 7-4 ACMP 电路设计示意图

8 GPIO 输入电路设计注意事项

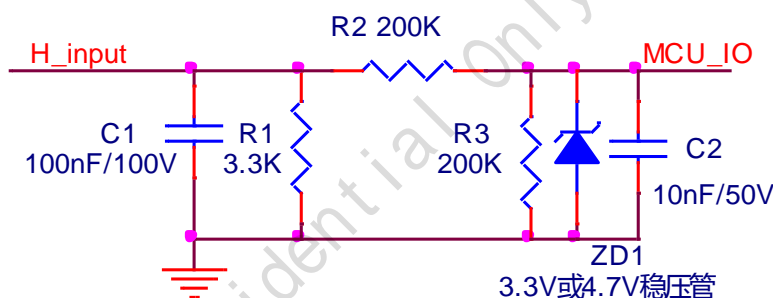
8.1 GPIO 输入电路设计

由于内部电路设计特性差异，AC781x 部分 IO 口使用应注意不能存在超压现象。PA7 输入电压不要超出 MCU 电源电压 VDD。PA6、PD6、PA8、PA9、PA10、PA11、PA12、PA13、PA14、PA15、PB0、PB1、PD7、PD8、PD9 用做 ADC 功能时，输入电压不要超出 MCU 电源电压 VDD+0.3V。

同时为保证 MCU 能可靠识别到高低电平，当 MCU 供电 VDD 为 5V 时，请保证输入到 MCU IO 口上的信号高电平电压 V_{IH} 不小于 $0.65 \times VDD$ ，低电平电压 V_{IL} 不大于 $0.35 \times VDD$ 。当 MCU 供电 VDD 为 3.3V 时，请保证输入到 MCU IO 口上的信号高电平电压 V_{IH} 不小于 $0.7 \times VDD$ ，低电平电压 V_{IL} 不大于 $0.3 \times VDD$ 。车用模块（12V 或 24V 供电）常用 H/L 开关信号输入电路如下图 6-5 所示，供参考。

8.2 GPIO 输入电路设计参考电路

高有效开关信号输入，有效时接BAT+，常态为悬空



低有效开关信号输入，有效时接GND，常态为悬空

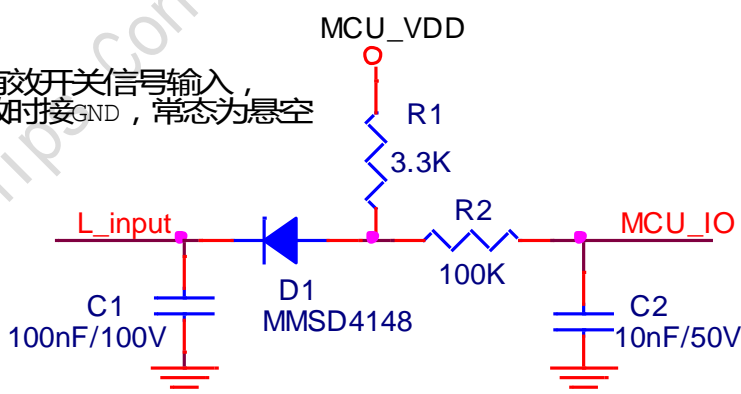


图 8-5 GPIO 输入电路设计参考电路

9 PWM 双边沿捕获接口设计注意事项

如果需要捕获输入信号的脉冲宽度，或需要同时捕获输入信号的频率和占空比，需要用到 PWM 模块的双边沿捕获功能。注意输入信号要放在 PWMx_CHn 通道数 n 为偶数的通道上，同时对应的 PWMx 模块 n+1 通道为不可用。例如：可将输入信号接至 PWM2_CH0、PWM2_CH2 或 PWM2_CH4 功能 PIN 上，而此时 PWM2_CH1、PWM2_CH3 或 PWM2_CH5 相应功能将不可用。

AutoChips Confidential Only Release Customer

10 调试接口电路设计

AC781x MCU 同时支持 JTAG 接口和 SWD 接口进行编程调试。

除电源外，JTAG 接口需要用到至少 5 个 PIN 脚（JTAG_TCLK、JTAG_TDI、JTAG_TDO、JTAG_TMS、RESET）。串行线调试接口(SWD)最少只需要 3 个 Pin 脚（SWD_CLK、SWD_DIO、RESET）。其中 RESET 为 MCU 系统复位信号，可不接。当需要使用仿真器对 MCU 进行复位时建议接上。

两者相比，SWD 在高速模式下更稳定，使用引脚更少，所以在使用过程中建议使用 SWD 接口。电路设计可参照下图所示。

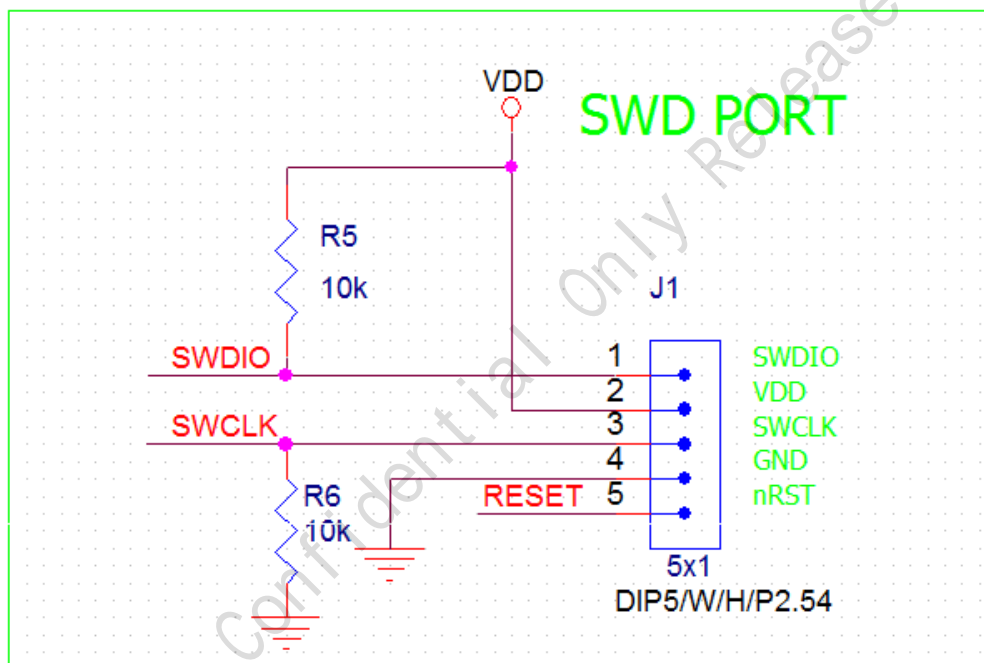


图 10-6 SWD 口参考电路

SWD Mode	Description	MCU Port	Recommendation
SWDIO	Serial Wire Debug Data I/O	PC9	Pull-Up
SWCLK	Serial Wire Clock Input	PC7	Pull-Down
RESET	Reset MCU	NRST	Pull-Up

图 10-7 SWD 信号描述

11 其他

11.1 UARTTX_SFLASH 引脚

由于 PC3/UARTTX_SFLASH 引脚（64LQFP 管脚号为 46 管脚，80LQFP 管脚号为 58 号管脚）在 MCU 复位状态下默认为输出高电平。该 PIN 脚在 MCU 上电复位时会输出短时间的高电平，在程序下载过程中也会输出高电平。所以建议该 PIN 脚在做 GPIO 使用时最好用做输入脚或 L 有效输出脚，避免上电瞬间或程序下载过程中对应输出控制的误动作。

11.2 GPIO 外部中断引脚

AC781x 支持 16 个 EXTI_Line，同一 EXTI_Line 同时只能支持一个外部中断，如果同一 EXTI_Line 同时使能多个 GPIO 外部中断，最后使能的 GPIO 外部中断有效，之前的被覆盖，无效，这点在产品设计中需要特别注意。

如在 AC781x MCU 低功耗应用中，有多个外部信号需要 GPIO 中断唤醒时，不要将这些信号都放到同一 EXTI_Line 的 IO 口上面。每个 EXTI_Line 对应的 IO 口如下表。也可以参照芯片 RM 手册的 17.3.1 外部中断章节。

表 11-6 GPIO 外部中断引脚分配

NO.	GPIO 外部中断	可选 MCU Port	注释
1	EXTI_in[0]	PA0~PE0	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px0 上面。
2	EXTI_in[1]	PA1~PE1	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px1 上面。
3	EXTI_in[2]	PA2~PE2	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px2 上面。
4	EXTI_in[3]	PA3~PD3	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px3 上面。
5	EXTI_in[4]	PA4~PD4	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px4 上面。
6	EXTI_in[5]	PA5~PD5	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px5 上面。
7	EXTI_in[6]	PA6~PD6	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px6 上面。
8	EXTI_in[7]	PA7~PD7	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px7 上面。
9	EXTI_in[8]	PA8~PD8	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px8 上面。
10	EXTI_in[9]	PA9~PD9	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px9 上面。
11	EXTI_in[10]	PA10~PD10	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px10 上面。
12	EXTI_in[11]	PA11~PD11	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px11 上面。
13	EXTI_in[12]	PA12~PD12	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px12 上面。
14	EXTI_in[13]	PA13~PD13	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px13 上面。
15	EXTI_in[14]	PA14~PD14	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px14 上面。
16	EXTI_in[15]	PA15~PD15	如多个信号需要 GPIO 中断时，不要将这些信号都放到 Px15 上面。

11.3 未用到的 I/O pin 脚处理

未用到的 I/O pin 不建议默认浮空，最好应将应用中不使用的 I/O 引脚配置为输出低电平状态。这样还可以尽可能减少电流消耗，或提升 EMC 性能。

11.4 LIN 接口注意事项

AC781x支持两路LIN，分别对应为HWLIN、UART6（Software LIN），其他UART口不支持LIN功能。如需要用到LIN通讯功能，请将LIN收发器TX与RX放置到HWLIN_TX与HWLIN_RX或UART6_TX与UART6_RX功能pin上面。

AutoChips Confidential Only Release Customer Only

12 PCB 设计建议

12.1 电源部分 PCB 设计建议

为 MCU 添加的退耦和旁路电容器的效果在很大程度上取决于连接位置和顺序，如下图所示。

PCB 布局中 MCU 电源引脚（VDD 和 VSS）的准则如下：

- 将电源引出的电源和接地走线依次连接到退耦电容器、旁路电容器以及 MCU 的 VDD 和 VSS 引脚
- 并行排布电源和接地走线，以最小化环路面积
- 将旁路电容器排布在尽量靠近每个 VDD-VSS 对的位置
- 另外在 PCB layout 过程中应尽量保证 MCU 下方接地平面的完整性，以更好的提升 EMC 性能

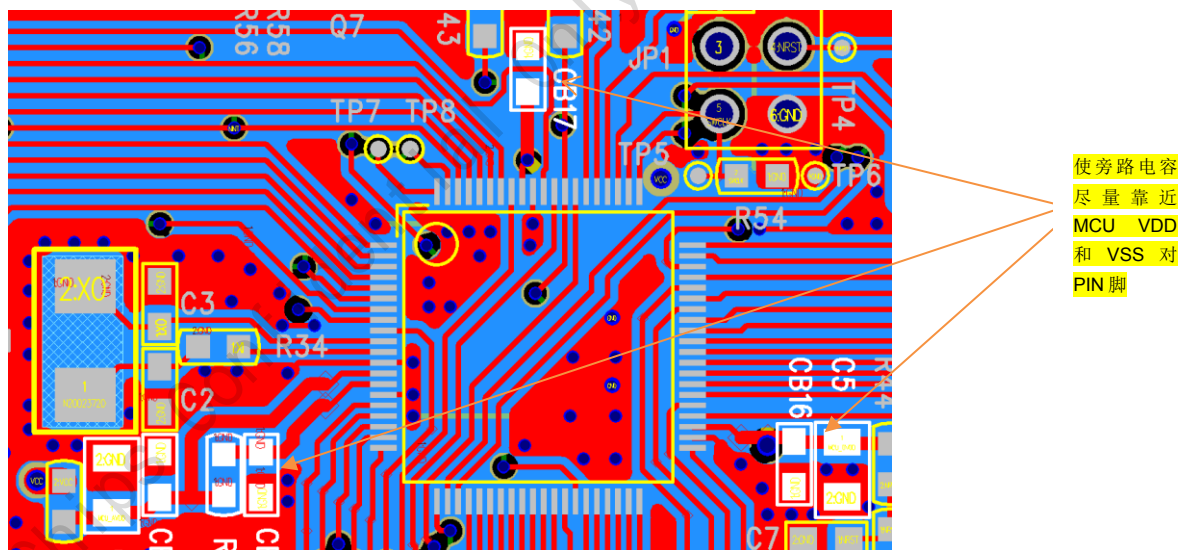


图 12-8 旁路电容 PCB 参考设计

12.2 晶振电路 PCB 设计建议

- 晶体和负载电容需要尽可能近地靠近 MCU 的引脚，以减小输出失真和启动稳定时间
- 晶体正下方的层上不得有任何种类的信号布线
- 合理选用偏置电阻和负载电容，涉及到 EMC 易感性的系统中，应该选用可以使振荡器输入引脚上信号的振幅比较大的那种振荡器配置，但带来后果可能是功耗会比较大
- 晶体及其负载元件周围应放置一个防护环，防止安装层上的相邻信号发生串扰。此防护环可以从晶体引脚相邻的 VSS 引脚起始

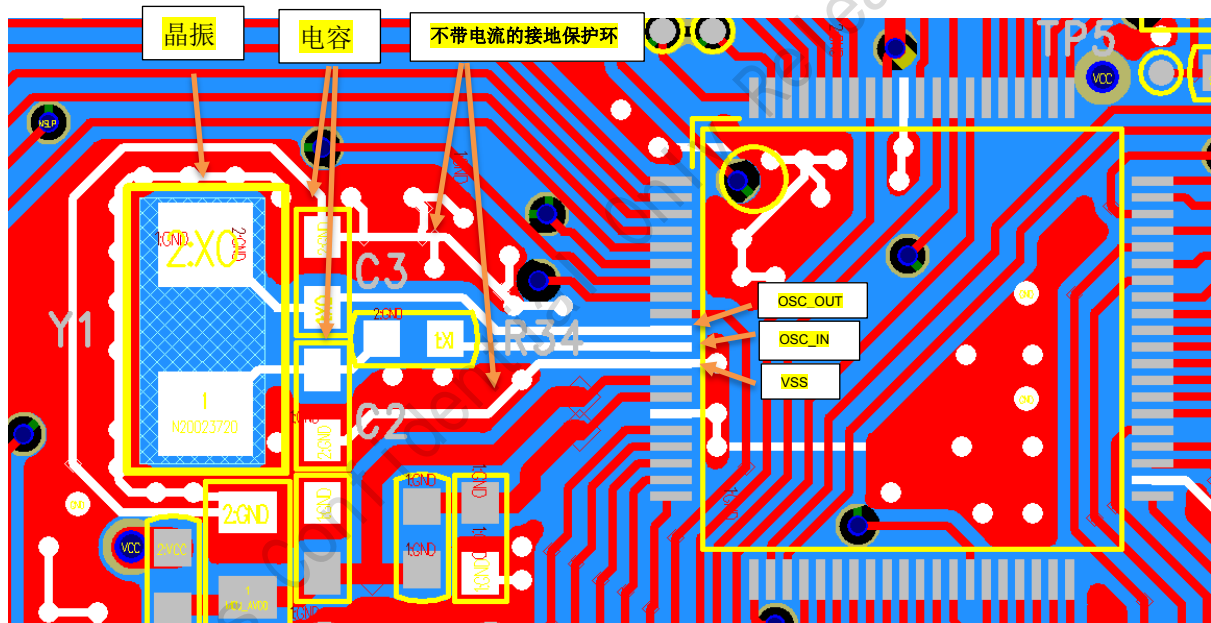


图 12-9 外部晶振 PCB 参考设计